

---

## Assignment. HDL Basics

Due: 11:59pm 12/8/2024

---

1. EDA tools for HDL are evolving at a very fast pace. Find the difference between iverilog, Verilator and Pyrtl? Why researchers develop Verilator and PyRTL as there already exist open-source simulators like Icarus Verilog and commercial simulators (e.g. vcs)?

2. 现在你成为了自动售货机的生产公司 CTO 啦，请设计一款用现金的自动售货机，这个世界只有 1 元、5 元、10 元三种货币，假设所有的货物都是 3 元。注意提供“提示钱没充够”与“找零”功能，假设自动售货机内有足够多的三种货币。

Q1: 画出 state-transfer diagram。

Q2: 完成基于 FSM 的 controller module。

Q3: 写一个 testbench 测试证明 Q2 中的 code 是对的，结果时序图请截图提交。

3. 有符号数乘法：

(3.1) 推导基于补数 (2's complement) 的乘法，假设有两个 6bit 整数 A ( $6'b a_5 a_4 a_3 a_2 a_1 a_0$ )，与 B ( $6'b b_5 b_4 b_3 b_2 b_1 b_0$ )， $a_5$  与  $b_5$  为符号位；

(3.2) 基于上面的推导，用一些基本电路模块（逻辑门、全加器、半加器等）实现上述 6bit 有符号整数的乘法器。

(3.3) 如今的数字乘法器一般根据“modified Booth encoding”来减少 partial product 的数量，从而简化乘法运算。画出完整的 SINT6\*SINT6 Booth Multiplier 的电路图（画到逻辑门级即可，SINT6 是有符号 6bit 整型）。