
Assignment-1. HDL Basics

Due: 11:59pm 11/1/2023

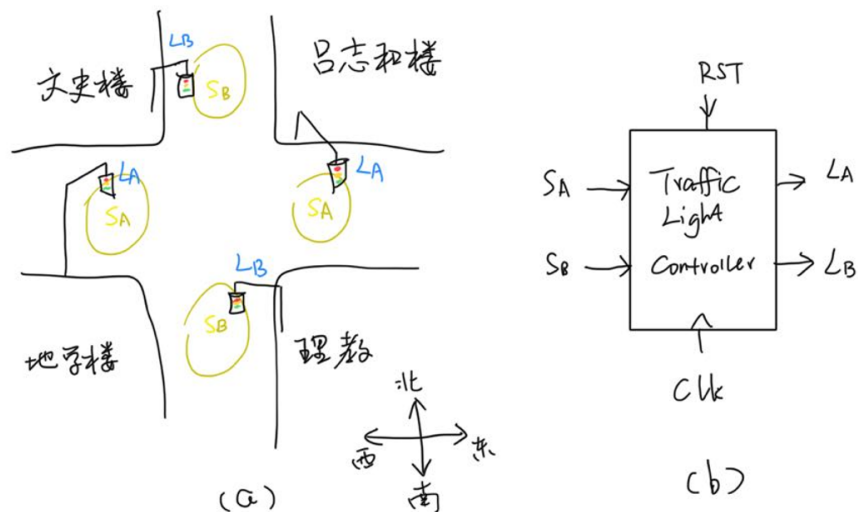
1. EDA tools for HDL are evolving at a very fast pace. Find the difference between iverilog, Verilator and Pyrtl? Why researchers develop Verilator and PyRTL as there already exist open-source simulators like Icarus Verilog and commercial simulators (e.g. vcs)?

2. 你是否曾想改变交通灯的转换策略? 机会来了! 你现在要帮忙设计一个路口的交通灯, 示意图如下。CLK 周期 5s, RST 为 high active reset, S_A 和 S_B 为安装的传感器, 比如 S_A (东西向) 探测到有人, 会输出一个 1, 然后东西向就需要变绿灯通行。如果 S_A 和 S_B 都有人, 那就需要你对红黄绿灯转换时间的设计 (需以 5s 为最低时间单位) 啦。

Q1: 画出 state-transfer diagram

Q2: 完成基于 FSM 的 TrafficLightController module。

Q3: 写一个 testbench 测试证明 Q2 中的 code 是对的, 结果时序图请截图提交。



3. 有符号数乘法:

(3.1) 推导基于补数 (2's complement) 的乘法, 假设有两个 8bit 整数 A ($8'b a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$), 与 B ($8'b b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$), a_7 与 b_7 为符号位;

(3.2) 基于上面的推导, 用一些基本电路模块 (逻辑门、全加器、半加器等) 实现上述 8bit 有符号整数的乘法器。