

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

Kendryte K210

硬件设计指导

版本 1.0
嘉楠捷思信息技术有限公司
版权所有 © 2019

www.kendryte.com

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

关于本手册

本手册提供了 **Kendryte K210** 芯片的原理图设计和 Layout 设计的注意事项。

发布说明

日期	版本	发布说明
2019.01	V1.0	首次发布。

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

Contents

- 1 概述4
- 2 芯片参数和管脚定义.....5
- 3 原理图设计6
 - 3.1 电源.....6
 - 3.2 上电时序与复位7
 - 3.3 Flash7
 - 3.4 时钟.....7
 - 3.5 DVP 接口7
 - 3.6 LCD 接口8
 - 3.7 UART8
 - 3.8 SPI8
 - 3.9 I²C8
 - 3.10 I²S8
 - 3.11 特殊管脚.....8
- 4 Layout 设计9
 - 4.1 Stackup 设计要点.....9
 - 4.2 电源设计.....9
 - 4.3 晶振设计9
- 5 设计常见问题10

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

1 概述

Kendryte K210 是集成机器视觉与机器听觉能力的系统级芯片 (SoC)。使用台积电 (TSMC) 超低功耗的 28 纳米先进制程，具有双核 64 位处理器，拥有较好的功耗性能，稳定性与可靠性。该方案力求零门槛开发，可在最短时效部署于用户的产品中，赋予产品人工智能。

Kendryte K210 是定位于 AI 与 IoT 市场的 SoC，同时是使用非常方便的 MCU。

- 具备机器视觉能力
- 具备机器听觉能力
- 更好的低功耗视觉处理速度与准确率
- 具备卷积神经网络硬件加速器 KPU，可高性能进行卷积神经网络运算
- TSMC 28nm 先进制程，稳定可靠
- 支持固件加密，难以使用普通方法破解
- 独特的可编程 IO 阵列，使产品设计更加灵活
- 低电压，与相同处理能力的系统相比具有更低功耗
- 3.3V/1.8V 双电压支持，无需电平转换，节约成本

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

2 芯片参数和管脚定义

请参阅《K210 技术规格书》

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

3 原理图设计

Kendryte K210 的最小系统可以由一个三路的 PMIC 供电、1 个无源晶振及 1 个 SPI Flash 组成。Kendryte K210 高度集成的特点，使得其外围设计非常方便。为了方便用户能够更便捷的设计 Kendryte K210 模组，下文将详细介绍 Kendryte K210 的原理图设计与 Layout 设计。Kendryte K210 的原理图设计主要包括以下几点注意事项：

- 电源部分
- 上电时序与复位
- Flash
- 时钟
- DVP 接口
- UART
- SPI
- I²C
- I²S
- 特殊管脚

3.1 电源

Kendryte K210 的供电分为如下几列：

电源域	电源名称	额定电压 (V)	最大电流 (mA)	描述
I/O 3.3V/1.8V	VDDIO0A	3.3 或 1.8	200	FPIOA 供电，分为八个 Bank,三个组供电，每个组单独供 1.8V 或者 3.3V
I/O 3.3V/1.8V	VDDIO1A	3.3 或 1.8	200	
I/O 3.3V/1.8V	VDDIO2A	3.3 或 1.8	200	
I/O 3.3V/1.8V	VDDIO3B	3.3 或 1.8	200	
I/O 3.3V/1.8V	VDDIO4B	3.3 或 1.8	200	
I/O 3.3V/1.8V	VDDIO5B	3.3 或 1.8	200	
I/O 3.3V/1.8V	VDDIO6C	3.3 或 1.8	200	
I/O 3.3V/1.8V	VDDIO7C	3.3 或 1.8	200	
I/O 1.8V	VDDIO18	1.8	200	低压 GPIO 的供电
OTP 1.8V	VDDOTP	1.8	50	一次性可编程存储器 (OTP) 供电
Core 0.9V	VDD	0.9	2000	数字核电压
SoC	VSS	0		数字地
PLL 0.9V	VDDPLL	0.9	15	模拟电源，为锁相环 (PLL) 供电
PLL	VSSPLL	0		模拟地

原理图设计的时候在板卡尺寸面积允许的情况下，可以尽量给每个电源供电管脚加一个 0.1uF 退耦电容,另外推荐搭配使用 4.7uF 电容。模拟电源和模拟地要与数字电源和数字地加磁珠隔离。

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

3.2 上电时序与复位

Kendryte K210 的三路电压应该同时上电。

芯片内部有三种全局复位:

1. 外部复位信号，会对全芯片进行复位
2. 看门狗复位，芯片内部有两个看门狗模块，均可复位除看门狗模块之外的所有模块。
3. 软复位，由软件控制，可对全芯片进行复位

Kendryte K210 的外部复位电路建议采用 1.8V 开漏输出的 MCU 专用电源监控芯片，在上电和欠压条件下保证稳定复位，M1 管脚为复位管脚，低电平有效，注意添加上拉电阻到 1.8V。

3.3 Flash

Flash 大小可选择为：SPI NOR Flash（8MiB，16MiB，32MiB），用户可根据需要选择合适的 Flash。目前 Kendryte K210 的 Demo Flash 为 QSPI Flash，大小为 16MiB。

注意：要选用供电电压是 1.8V 的 Flash。

3.4 时钟

Kendryte K210 芯片有一个外部输入的 26M 时钟，并使用三路 PLL 提供高频时钟。

目前 K210 支持 26 MHz 的无源晶体和有源晶振。如果使用无源晶体，外部输入输出所加的对地调节电容 C1、C2 可不设为固定值，该值范围在 6 pF ~ 22 pF，具体值建议通过对系统测试后进行调整确定。选用的晶振自身精度推荐不大于 ±15 PPM。

注意：如果使用无源晶体，无源晶体振荡器输入脚请接到 M4（XTAL_IN），输出脚请接到 M3（XTAL_OUT），这两个管脚是禁止输入有源信号的，并且要将 L3 和 M2 短接。

如果使用有源晶振，必须为 1.8V 的方波输出的晶振，可接到系统时钟输入管脚 M2，并且推荐 M4 接地。

3.5 DVP 接口

DVP 是摄像头接口模块，特性如下：

- 支持 DVP 接口的摄像头
- KPU 最大支持 640X480 及以下分辨率，每帧大小可配置
- 支持 YUV422 和 RGB565 格式的图像输入
- 支持图像同时输出到 KPU 和显示屏：
 - 输出到 KPU 的格式可选 RGB888，或 YUV422 输入时的 Y 分量
 - 输出到显示屏的格式为 RGB565

Kendryte K210 支持 DVP 的数据总线宽度为 8 位，要接到专用管脚 DVP_D0 到 DVP_D7 上，这些管脚是固定 1.8V 电平。控制总线可以接到 FPIOA，根据摄像头模组需求正确设置所接 Bank 电压。

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

3.6 LCD 接口

Kendryte K210 支持 MCU 接口的 LCD，接口的数据总线宽度为 8 位，需要接到专用管脚 SPI0_D0 到 SPI0_D7 上，固定为 1.8V 电平。

注意：如果遇到摄像头和 LCD 的数据总线的电平不为 1.8V 的情况，有两种方案，一个方案是加电平转换芯片；另一个方案是可以把 DVP 和 LCD 的数据总线同时接到 FPIOA 上，然后设置相应的 Bank 电压。要注意的是不能出现 DVP 数据总线接专用管脚，LCD 数据总线接 FPIOA 的情况，反之亦然。

3.7 UART

Kendryte K210 芯片中 UART0 为高速 UART 控制器，但是这个 UART 只可用做 ISP。(ISP 只可固定接 IO_4,IO_5)。通用 UART 为 UART1,UART2,UART3，兼容不同的 UART 设备。外部 UART 的设备可接总线于任意 FPIOA 管脚上。

3.8 SPI

串行外设接口有 4 组 SPI 接口，其中 SPI0、SPI1、SPI3 只能工作在 MASTER 模式，SPI2 只能工作在 SLAVE 模式。

3.9 I²C

I²C 是一个两线总线，由 SDA 线和 SCL 线构成，这些线设置为漏极开漏输出，客户可将 I²C 总线接到 FPIOA 的任意管脚上，并注意加上拉电阻。

3.10 I²S

Kendryte K210 内置音频总线共有 3 个 (I²S0、I²S1、I²S2)，都是 MASTER 模式。其中 I²S0 支持可配置连接语音处理模块，实现语音增强和声源定向的功能。原理图设计的时候可将 I²S 总线连接到任意 FPIOA 管脚。

3.11 特殊管脚

IO_16 用于 boot 模式选择，上电复位时，拉高进入 FLASH 启动，拉低进入 ISP 模式。复位后，IO_0、IO_1、IO_2、IO_3 为 JTAG 引脚。IO_4、IO_5 为 ISP 引脚。原理图设计时要注意 ISP 管脚的方向，IO_4 为 K210 接收管脚，IO_5 为 K210 发送管脚。

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

4 Layout 设计

4.1 Stackup 设计要点

K210 使用精心设计的引脚布局，确保信号都在 BGA 外圈，以方便 PCB 工程师进行扇出与布线，提升电气性能，降低设计难度，可采用 2 层板设计以降低 PCB 成本。但是对性能有所要求以及需要精确控制阻抗的设计建议优先采用四层板设计。

第一层顶层用于走信号线和摆件。

第二层为地层，不走信号线，保证一个完整的地平面。

第三层为电源层，尽量只走电源线，在局部地区无法避免走信号线时，可适当走信号线。

第四层为底层，用于走信号线和摆件。

4.2 电源设计

因为核心电压的电流较大，要注意核心电压的线宽必须 >20 mil。电源走线进入 Kendryte K210 电源管脚前需添加电容。注意，所有去耦电容都请靠近电源管脚放置，去耦电容的接地脚就近打地孔，保证较短的返回路径。电源走线尽量走在第三层（POWER 层），到达芯片管脚处时打 VIA 到 TOP 层连接芯片管脚。在 VIA 处理上，VIA 的直径最好不小于电源走线的宽度，VIA 焊盘的直径建议是 Drill 1.5 倍。

4.3 晶振设计

晶振需靠近芯片端放置，这样可以有效减少干扰和寄生参数。同时晶振走线须用地包起来，周围密集地孔屏蔽隔离。晶振的输入输出的旁路电容靠近芯片左右侧摆放，尽量不要放在走线上。晶振下方 4 层都不能走高频数字信号，最好是晶振下方不走任何信号线。晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等。

Prepared		No.		
Approved	Checked	Date	Rev	Reference
		2019-01-14	V1.0	

5 设计常见问题

1. 问题：板卡上电后无法进入 ISP 模式。

现象分析：要正确进入 ISP 模式，需要在复位的情况下，将 IO16 作为 BOOT 管脚拉低。

解决方法：请检查在复位信号产生的时候，IO16 是否为低电平。

2. 问题：板子在使用过程中莫名重启。

现象分析：板上的电压跌落会导致电源监控芯片产生复位信号。

解决方法：请检查 DC-DC 产生的三路电压是否正常，在 PCB 设计的时候要考虑电源完整性，对电流比较大的 0.9V 核电压要走线足够宽，避免产生过大压降，导致核电压进入不稳定区域。

3. 问题：程序运行过程中 Crash.

现象分析：静电会导致晶振输出频率异常，进而导致整机 Crash.

解决方法：在设计过程中考虑防静电设计，在板卡调试过程中注意不要用手接触晶体。

4. 问题：上电后，时钟电压复位都正常，K210 无法正常工作。

现象分析：外围电路找不出异常，但是 K210 仍然无法正常下载或者进入 ISP.

解决方法：请考虑 Kendryte K210 焊接是否正常，可做 X-RAY 检查。在做 layout 的时候要注意不能把过孔焊盘压到 BGA 焊盘上，否则会引起虚焊导致 K210 无法正常工作。